

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-070441

(43)Date of publication of application : 10.03.1998

(51)Int.Cl.

H03K 3/03
H03H 7/30
H03K 3/354
H03K 5/14
H03L 7/08
H03L 7/099

(21)Application number : 08-225175

(71)Applicant : MITSUBISHI ELECTRIC CORP
MITSUBISHI DENKI ENG KK

(22)Date of filing : 27.08.1996

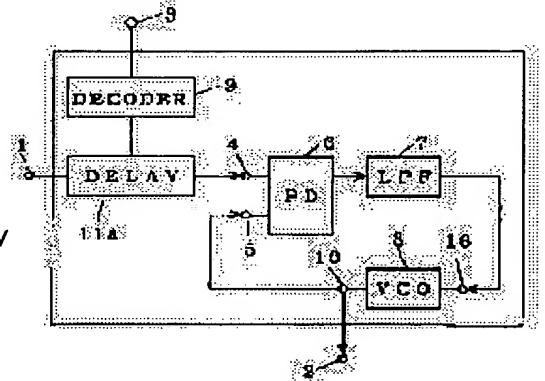
(72)Inventor : YAMANAKA TADAO
NAKAGAWA SHINICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the delay time of an output signal from a PLL with respect to an external clock signal is changed after the device is mounted on a system.

SOLUTION: An external clock signal is given to an input terminal 1. An address value is given to an input terminal 3. A decoder 9 selects any of a plurality of delay times in a voltage controlled oscillator 8 depending on the address. The phase of a signal outputted to an output terminal 2 is delayed by the selected delay time selected from that of the external clock signal at the input terminal 1. Thus, after mounting the device to the system, the delay time of the output signal from the PLL with respect to the external clock signal is changed.



LEGAL STATUS

[Date of request for examination] 06.11.2002

[Date of sending the examiner's decision of rejection] 06.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

» [Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

***NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A delay signal generation means to generate two or more delay signals with which time delays differ to a reference clock signal, respectively, The control terminal which inputs the control signal used in order to choose one of said two or more delay signals, A delay signal selection means to choose one of said two or more delay signals in response to said control signal from said control terminal based on said control signal, The semiconductor device with which only the part of said time delay of said selected delay signal concerned was equipped with the PLL circuit which outputs the clock signal with which phases differ to said reference clock signal based on said delay signal which said delay signal selection means chose.

[Claim 2] It is the semiconductor device according to claim 1 said whose delay signal generation means is said armature-voltage control transmitter and said two or more delay signals of whose are output signals of two or more of said inversed amplifiers, respectively including the armature-voltage control transmitter with which said PLL circuit contains two or more inversed amplifiers connected in the shape of a loop formation.

[Claim 3] It is the semiconductor device according to claim 2 which outputs said two or more clock signals with which said delay signal selection means is plurality, and said PLL circuit corresponds to said two or more selected delay signals based on said two or more delay signals which said two or more delay signal selection means chose, respectively.

[Claim 4] The semiconductor device according to claim 3 further equipped with the 2nd latch circuit which outputs the data which received said other one clock signal and were generated inside according to this clock signal the 1st latch circuit which incorporates the data which received said one clock signal among said two or more clock signals, and were externally generated according to this clock signal, and among said two or more clock signals.

[Claim 5] The semiconductor device according to claim 1 further equipped with CPU which generates said control signal and is outputted to said control terminal according to the period of said reference clock signal.

[Translation done.]

***NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device with required controlling the time delay of the output signal of a PLL circuit especially about the semiconductor device which has a PLL circuit.

[0002]

[Description of the Prior Art] Phase adjustment of the clock signal (internal clock signal) of the interior to the clock signal (external clock signal) inputted from the outside of LSI for expansion of the margin of the setup time of the entry of data of LSI and the hold time of the output of data is performed. In addition, as it is indicated in drawing 15 as setup time, after preparing external data about external data, it is the time amount tset by the time (drawing 15 leading edge of an internal clock signal) of incorporating the external data inside. Moreover, after preparing an in-house data about an in-house data, it is the time amount tset by the time (drawing 15 leading edge of an internal clock signal) of outputting the in-house data to the exterior. A hold time is the time amount thold which continues preparing after [at the time of incorporating external data inside about external data], as shown in drawing 15 . It is the time amount thold which continues preparing after [at the time of outputting an in-house data to the exterior about an in-house data]. As for adjustment of an internal clock signal, the phase lock loop (PLL circuit) is suitable.

[0003] Drawing 10 is the block diagram showing the conventional semiconductor device. An input terminal for 1 to input the external clock signal of a period CL in drawing 10 , A loop filter for the output terminal to which 2 outputs an internal clock signal, and 6 to filter a phase comparator, and for 7 filter the output of a phase comparator 6, In order that an armature-voltage control transmitter and 11 may input a delay circuit and, as for 8, 4 may input the signal from a delay circuit 11, As for the input terminal of another side of a phase comparator 6 for one input terminal of a phase comparator 6 and 5 to input the signal from a voltage controlled oscillator 8, and 10, the output terminal of a voltage controlled oscillator 8 and 16 are the input terminals of a voltage controlled oscillator 8.

[0004] Next, the configuration of the semiconductor device shown in drawing 10 is explained. The input of a delay circuit 11 is connected to an input terminal 1, and the output is connected to the input terminal 4. The output of a phase comparator 6 is connected to the input of a loop filter 7. The output of a loop filter 7 is connected to the input terminal 16. The output terminal 10 is connected to the output terminal 2 and the input terminal 5. A phase comparator 6, a loop filter 7, and a voltage controlled oscillator 8 constitute a PLL circuit.

[0005] Drawing 11 is the circuit diagram showing the configuration inside a voltage controlled oscillator 8. In drawing 11 , the sign of an inverter and others supports [the control section by which an inversed amplifier and 8a control inversed amplifier 8b according to the signal in an input terminal 16 as for 8b, and INV] the sign in drawing 10 . Next, the configuration of a voltage controlled oscillator 8 is explained. It connects in the shape of a loop formation, and two or more inversed amplifier 8b constitutes ring OSHURETA. Two or more one outputs of inversed amplifier 8b are connected to the output terminal 10 through Inverter INV among inversed amplifier 8b of **. The input of control-section 8a is connected to an input terminal 16, and the output is connected to each inversed amplifier 8b.

[0006] Drawing 12 is the circuit diagram showing an example of the configuration inside a delay circuit 11. In drawing 12 , an inverter and R supports to resistance and C supports [INV / the sign of capacity and others] the sign in drawing 10 . The delay circuit using the delay between the input / output of an inverter other than drawing 12 which made multistage connection of the inverter may be used.

[0007] Next, actuation of the semiconductor device shown in drawing 10 is explained. Drawing 13 is the timing-chart Fig. showing the relation between the external clock signal in an input terminal 1, and the internal clock signal in an output terminal 2. A PLL circuit operates so that the phase of a signal in an input terminal 4 and the phase of the internal clock signal in an output terminal 2 may be in agreement. A delay circuit 11 gives the signal which was late for the external clock signal time delay td2 to an input terminal 4 in response to the external clock signal in an input terminal 1. Therefore, as for the internal clock signal in an output terminal 2, the phase is behind the external clock signal in an input terminal 1 only in the time delay td2. As for a paraphrase, only the time delay td1 (= the periodic-time delay td2 of an external clock signal) is advancing the phase seemingly rather than the external clock signal [in / in

the internal clock signal in an output terminal 2 / an input terminal 1].

[0008]

[Problem(s) to be Solved by the Invention] Since the semiconductor device which has the conventional PLL is constituted as mentioned above, it has the following troubles.

[0009] First, when realizing a time delay in the delay circuit 11 including capacity C and Resistance R, capacity C and the layout area of Resistance R become large, and since the number of Inverters INV increases when realizing in the delay circuit using delay of an inverter, there is a trouble that layout area becomes large, so that a required time delay is large.

[0010] Moreover, in order to influence the capacity value of capacity C, the resistance of Resistance R, etc. of a process, they are finished by the difference among conditions also in the process same in a time delay changing with different processes, and have the trouble that, as for a difference, a time delay changes [condition].

[0011] Moreover, LSI which builds in the semiconductor device shown in drawing 10 , for example is carried in systems, such as a board, and an external clock signal considers the case where it is supplied from the system. A delay circuit 11 is designed in consideration of the period of an external clock signal. Here, there are two or more systems, and when the periods of those external clock signals differ, a delay circuit 11 must be designed for every system. Thus, there is a trouble that a delay circuit 11 must be designed according to the period of an external clock signal.

[0012] Moreover, since a time delay is one fixed value, it cannot respond to various setup times or hold times. For example, the PLL circuit shown in drawing 10 is built in LSI, synchronizes with an internal clock signal the in-house data generated inside LSI, is made to output, and considers the case where synchronize with an internal clock signal the external data generated in the LSI exterior, and they are incorporated. With reference to drawing 15 , time amount thold and time amount tset can be changed by changing the time delay of an internal clock signal by setting up the time delay in a delay circuit 11 by the design stage. However, if the time delay of an internal clock is changed and time amount thold in incorporation of external data is lengthened, the time amount tset in the output of an in-house data will become short. On the contrary, if time amount tset in incorporation of external data is lengthened, the time amount thold in the output of an in-house data will become short. As mentioned above, setup time and a hold time are the relation of a trade-off. Therefore, modification of either setup time or a hold time will also change another side in connection with this. Thus, setup time and a hold time have the trouble that it cannot adjust independently.

[0013] This invention is made in order to solve these troubles, it can change the time delay over the external clock signal of the internal clock signal which a PLL circuit outputs after carrying in a system, and aims at obtaining the semiconductor device which can adjust independently reduction of layout area, reduction of fluctuation of the time delay by the process, setup time, and a hold time further.

[0014]

[Means for Solving the Problem] A delay signal generation means by which the technical-problem solution means concerning claim 1 of this invention generates two or more delay signals with which time delays differ to a reference clock signal, respectively, The control terminal which inputs the control signal used in order to choose one of said two or more delay signals; A delay signal selection means to choose one of said two or more delay signals in response to said control signal from said control terminal based on said control signal, Based on said delay signal which said delay signal selection means chose, only the part of said time delay of said selected delay signal concerned is equipped with the PLL circuit which outputs the clock signal with which phases differ to said reference clock signal.

[0015] In the technical-problem solution means concerning claim 2 of this invention, said delay signal generation means is said armature-voltage control transmitter including the armature-voltage control transmitter with which said PLL circuit contains two or more inversed amplifiers connected in the shape of a loop formation, and said two or more delay signals are output signals of two or more of said inversed amplifiers, respectively.

[0016] In the technical-problem solution means concerning claim 3 of this invention, said delay signal selection means is plurality, and said PLL outputs said two or more clock signals with which said two or

more delay signal selection means correspond to said two or more selected delay signals based on said two or more delay signals chosen, respectively.

[0017] The technical-problem solution means concerning claim 4 of this invention receives said one clock signal among said two or more clock signals, the 1st latch circuit which incorporates the data externally generated according to this clock signal, and among said two or more clock signals, receives said other one clock signal, and is further equipped with the 2nd latch circuit which outputs the data generated inside according to this clock signal.

[0018] According to the period of said reference clock signal, the technical-problem solution means concerning claim 5 of this invention generates said control signal, and is further equipped with CPU outputted to said control terminal.

[0019]

[Embodiment of the Invention]

Background . drawing 1 of the gestalt of desirable operation is the block diagram showing the semiconductor device in the background of the gestalt of desirable operation. An input terminal for 1 to input the external clock signal (reference clock signal) of a period CL in drawing 1 , The input terminal for inputting a control signal for the output terminal to which 2 outputs an internal clock signal, and 3 choosing a time delay (control terminal), A loop filter for 6 to filter a phase comparator and for 7 filter the output of a phase comparator 6, 8 a decoder and 11a for an armature-voltage control transmitter and 9 A delay circuit (delay signal generation means), As for the input terminal of another side of a phase comparator 6 for one [for 4 to input the signal from delay circuit 11a] input terminal of a phase comparator 6 and 5 to input the signal from a voltage controlled oscillator 8, and 10, the output terminal of a voltage controlled oscillator 8 and 16 are the input terminals of a voltage controlled oscillator 8.

[0020] Next, the configuration of the semiconductor device shown in drawing 1 is explained. The input of a decoder 9 is connected to the input terminal 3. One input of delay circuit 11a is connected to an input terminal 1, the input of another side is connected to the output of a decoder 9, and the output is connected to the input terminal 4. The output of a phase comparator 6 is connected to the input of a loop filter 7. The output of a loop filter 7 is connected to the input terminal 16. The output terminal 10 is connected to the output terminal 2 and the input terminal 5. A phase comparator 6, a loop filter 7, and a voltage controlled oscillator 8 constitute a PLL circuit. A delay signal selection means consists of a switch SW and a decoder 9.

[0021] Drawing 2 is the circuit diagram showing the configuration inside delay circuit 11a. drawing 2 — setting — D_n ($n = 1, 2, \dots, 13$) — respectively — resistance and C support to capacity and SW supports [a delay circuit block and INV / an inverter and R / the sign of a switch and others] the sign in drawing 1 . Delay circuit 11a consists of 13 delay circuit blocks. Turning on and off of the switch SW included in each delay circuit blocks D1-D13 is controlled by the decoder 9. Moreover, time delay $td2$ in the delay circuit block D_n Time delay $td2 = \text{time amount } CLF \times (n-1) / 13 + \text{time amount } CLF$ — (1)

It comes out. In addition, time amount CLF is fixed-length time amount, and it is desirable that it is the same as a period CL. For example, the time delay $td2$ in the delay circuit block D1 is time amount CLF. Moreover, the time delays $td2$ in the delay circuit block D2 are time amount $CLF / 13 + \text{time amount } CLF$.

[0022] Next, actuation of the semiconductor device shown in drawing 1 is explained. An external clock signal is inputted into an input terminal 1. A decoder 9 inputs the address value in an input terminal 3, and outputs the control signal which was set as "H" or "L" level according to the address value and which consists of two or more bits. The 13 number of the bits of a control signal is required of drawing 2 . Two or more of the bits are assigned to the switch SW within each delay circuit block D_n , respectively. Switch SW turns on or turns [a bit] off with "H" or "L" level. That is, two or more switches SW can be independently switched on or turned off with the address value in an input terminal 3. A control signal which one switch SW of two or more delay circuit blocks turns on is inputted into an input terminal 3. Delay circuit 11a outputs the delay signal with which only the time delay $td2$ which the delay circuit block which Switch SW turns on generates was in the phase rather than the external clock signal in an input terminal 1. A PLL circuit outputs the internal clock signal of the same phase as the

signal in an input terminal 4 to an output terminal 2. Therefore, the phase of the internal clock signal outputted to an output terminal 2 is behind the external clock signal in an input terminal 1 only in time amount td_2 .

[0023] For example, when only time amount $CLF / 13$ want to delay the phase of the internal clock signal outputted to an output terminal 2 rather than the external clock signal in an input terminal 1, a control signal which only the switch SW within the delay circuit block D2 turns on is inputted into an input terminal 3. In addition, when only the switch SW within the delay circuit block D1 is made to turn on, the phase of the external clock signal in an input terminal 1 is the same as the phase of the internal clock signal outputted to an output terminal 2.

[0024] Drawing 14 is the block diagram showing the example of LSI which builds in the semiconductor device shown in drawing 1. In drawing 14, the sign of the external terminal of LSI, the semiconductor device with which in the interface sections, such as BUS, and 24 CPU and BU are shown in a buffer and a register and 25 show [23] PLL to drawing 1, and others supports [21 and 22] the sign in drawing 1. The control signal given to the external terminal 22 is memorized by the register 24 through the interface section 23. A register 24 gives the memorized control signal to an input terminal 3. The external clock signal given to the external terminal 21 is given to an input terminal 1. The internal clock signal outputted to an output terminal 2 is given to each part inside LSI through Buffer BU. LSI shown in drawing 14 is carried in systems, such as a board, and the external terminal 22 is connected to the output of CPU25 grade. CPU25 outputs a control signal which consists of a period of an external clock signal by the program beyond the value as which the above-mentioned hold time and setup time were determined beforehand. Therefore, even after carrying LSI in a system, in order that CPU25 may change an above-mentioned time delay by the program according to the period of an external clock signal, adjustment of the time delay after carrying LSI in a system becomes easy. In addition, the external terminal and register 24 of direct LSI may be connected, without minding BUS other than drawing 14.

[0025] According to the above-mentioned configuration, it is not necessary to design a delay circuit 11 according to the period of an external clock signal by giving a control signal to an input terminal 1 and changing the time delay of a delay circuit 11. Moreover, since the above-mentioned time delay also after carrying LSI which built in the semiconductor device in the gestalt of this operation in systems, such as a board, can be changed, the system which carried this LSI can respond to a broad external clock signal.

[0026] gestalt 1. of operation — in the background of the gestalt of desirable operation, the time delay which can be chosen in delay circuit 11a makes time amount $CLF / 13$ a unit, and is a fixed value. Therefore, there is a trouble that it cannot respond when external clocks are various periods. For this reason, in order to make it correspond to the period of more various external clocks, it is necessary to establish for example, much delay circuit blocks. In this case, a large layout area will be needed. Below, the semiconductor device which solves the above-mentioned problem is explained.

[0027] Drawing 3 is the block diagram showing the semiconductor device in the gestalt 1 of operation of this invention. In drawing 3, the input terminal of voltage controlled oscillator 8' and other signs support. [the armature-voltage control transmitter with which 8' is equivalent to the voltage controlled oscillator 8 of drawing 10, and 17] the sign in drawing 1.

[0028] Next, the configuration of the semiconductor device shown in drawing 3 is explained. The input terminal 17 is connected to the output of a decoder 9. The input terminal 4 is connected to the input terminal 1.

[0029] Drawing 4 is the circuit diagram showing the configuration inside voltage controlled oscillator 8'. In drawing 4, the control section by which an inversed amplifier and 8a control an inversed amplifier according to the signal in an input terminal 16 as for 8b, and SW support to a switch, and INV supports [the sign of an inverter and others] the sign in drawing 3. Next, the configuration of voltage controlled oscillator 8' is explained. It connects in the shape of a loop formation, and two or more inversed amplifier 8b constitutes ring OSHURETA. The output of each inversed amplifier 8b is connected to the input of each inverter INV. The output of each inverter INV is connected to the input of each switch SW. The output of each switch SW is connected to the output terminal 2 through one buffer. The input of control-section 8a is connected to an input terminal 16, and the output is connected to two or more

inversed amplifier 8b. A delay signal selection means consists of a switch SW and a decoder 9.

[0030] Next, actuation of voltage controlled oscillator 8' is explained. Drawing 5 is the timing-chart Fig. showing the signal of the output of each inverter INV connected to two or more inversed amplifier 8b which can be set to drawing 4. INV1 in drawing 5 is the inverter INV by which the output is connected to the output terminal 10, and other INV2 in drawing 5 thru/or INV13 are the inverters INV formed in the latter-part side of an inverter INV1 in order. Control-section 8a restricts the current supplied to each inversed amplifier 8b according to the electrical potential difference of an input terminal 16. Thereby, the time delay during I/O of each inversed amplifier 8b is controlled. The time delay of each inversed amplifier 8b becomes the value which divided the period of an external clock signal by the number of inversed amplifier 8b. The signal of the phase as the external clock signal in an input terminal 1 with the same signal of the output of INV1 is generated. One switch SW is turned on among 13 switches SW by the control signal in an input terminal 17. Therefore, the internal clock signal with which only the integral multiple of periodic $CL / 13$ was from the output terminal 2 in the phase from the external clock signal is outputted by the control signal in an input terminal 17.

[0031] The switch SW switch on, the phase of the internal clock signal over an external clock signal, and relation are shown below. The switch on which the switch connected to INV1 is connected to SW1 and INV2 is made into SW2 and —. The phase is in phase if SW1 is turned on. ON of SW2 advances a phase periodic $CL \times 6 / 13$. If SW3 is turned on, a phase will be overdue periodic $CL / 13$. ON of SW4 advances a phase periodic $CL \times 5 / 13$. If SW5 is turned on, a phase will be overdue periodic $CL \times 2 / 13$. ON of SW6 advances a phase periodic $CL \times 4 / 13$. If SW7 is turned on, a phase will be overdue periodic $CL \times 3 / 13$. ON of SW8 advances a phase periodic $CL \times 3 / 13$. If SW9 is turned on, a phase will be overdue periodic $CL \times 4 / 13$. ON of SW10 advances a phase periodic $CL \times 2 / 13$. If SW11 is turned on, a phase will be overdue periodic $CL \times 5 / 13$. ON of SW12 advances a phase periodic $CL / 13$. If SW13 is turned on, a phase will be overdue periodic $CL \times 6 / 13$.

[0032] In addition, as shown in drawing 6, the output terminal 2 and output terminal 10 of drawing 3 may be exchanged. Moreover, the example of LSI which builds in the semiconductor device shown in drawing 3 is the same as that of drawing 14.

[0033] With the gestalt of this operation, since the time delay is realized within voltage controlled oscillator 8' in addition to the effectiveness of the background of the gestalt of desirable operation, contraction-ization of layout area can be attained. Moreover, in order not to base this time delay on capacity C and Resistance R, a time delay changes with different processes, or in the same process, it is finished by the difference among conditions, condition differs, and it is not said that a time delay changes.

[0034] Moreover, the unit of a time delay is the value which divided the period of the external clock signal inputted by the number of the inversed amplifiers which constitute ring OSHURETA. Therefore, the time delay which can be chosen can set up from the unit to one period of an external clock signal by making the value into a unit. Therefore, unlike the background of the gestalt of desirable operation, it can respond to the period of various external clock signals.

[0035] Gestalt 2. drawing 7 of operation: is the block diagram showing the semiconductor device in the gestalt 2 of operation of this invention. In drawing 7, the sign of an output terminal and others supports [the armature-voltage control transmitter with which 8'' is equivalent to voltage controlled oscillator 8' of drawing 3, and 2'] the sign in drawing 3.

[0036] Drawing 8 is the circuit diagram showing the configuration inside voltage controlled oscillator 8''. In drawing 8, the sign of an inverter and others supports [SW' / a switch and INV'] the sign in drawing 4. Next, the configuration of voltage controlled oscillator 8'' is explained. The output of each inversed amplifier 8b is connected to the input of each inverter INV'. The output of each inverter INV' is connected to the input of each switch SW'. The output of each switch SW' is connected to output terminal 2' through one buffer. Moreover, the number which is the bit of the control signal which a decoder 9 outputs is 26. Two or more of the bits are assigned to the switch SW within each delay circuit block Dn, respectively. Other configurations are the same as the configuration in drawing 4. namely, — a voltage controlled oscillator — eight — " — a voltage controlled oscillator — eight — ' — a switch —

— SW — an inverter — INV — an output terminal — two — from — becoming — a circuit — the section — 20 — being the same — a circuit — the section — 20 — ' — further — having had — a configuration — it is . A delay signal selection means consists of a switch SW, SW', and a decoder 9. [0037] Next, actuation of voltage controlled oscillator 8'' is explained. Actuation of circuit section 20' is the same as actuation of the circuit section 20. With the address value in an input terminal 3, two or more switches SW and SW' can be turned on or turned off independently. Therefore, delay of the clock signal in an output terminal 2 and output terminal 2' is independently controllable. The setup of data and a hold time can be independently adjusted by supplying these two clock signals to a data output stage latch and a data input stage latch, respectively.

[0038] Drawing 9 is the block diagram showing the example of LSI which builds in the semiconductor device shown in drawing 7 . In drawing 9 , the sign of the semiconductor device which shows 26 and 27 to a register (latch circuit) and shows PLL to drawing 7 , and others supports the sign in drawing 7 and drawing 14 . The internal clock signal outputted to an output terminal 2 is given to each part inside LSI which contains a register 26 through Buffer BU. The internal clock signal outputted to output terminal 2' is given to each part inside LSI which contains a register 27 through Buffer BU. A register 26 is an output stage latch who the in-house data generated inside LSI is synchronized with the internal clock signal from an output terminal 2, and outputs it. A register 27 is an input stage latch who the external data generated in the LSI exterior are synchronized with the internal clock signal from output terminal 2', and incorporates them.

[0039] First, actuation of the register 26 and register 27 which are shown in drawing 9 is explained. A register 26 is the timing of the edge of the internal clock signal from an output terminal 2, and outputs the in-house data generated inside LSI to the exterior. Therefore, a control signal can adjust the hold time in an external clock signal and an in-house data by controlling the time delay of the internal clock signal of the output terminal 2 to an external clock signal. A register 27 is the timing of the edge of the internal clock signal from output terminal 2', and incorporates the external data generated in the LSI exterior inside. Therefore, a control signal can adjust the setup time in an internal clock signal and external data by controlling the time delay of the internal clock signal of output terminal 2' to an external clock signal.

[0040] It is effective in adjustment of a hold time or setup time becoming easy with the gestalt of this operation with outputting two or more internal clock signals which can control a time delay independently in addition to the effectiveness of the gestalt 1 of operation.

[0041]

[Effect of the Invention] According to this invention claim 1, it is **** about the effectiveness that the delay to the reference clock signal of the output signal of a PLL circuit can be changed [after carrying in a system], by having prepared the control terminal which receives a control signal in order to choose delay.

[0042] According to this invention claim 2, it is **** about the effectiveness that can aim at contraction of layout area since it is not necessary to establish separately a means to generate a delay signal, by using the output of each inversed amplifier in the armature-voltage control transmitter contained in a PLL circuit as a delay signal, and delay does not change with further different processes.

[0043] According to this invention claim 3, it is **** about the effectiveness that the clock signal which can change the delay to a reference clock signal can respond to the system carrying two or more required semiconductor devices or semiconductor devices concerned.

[0044] According to this invention claim 4, it is **** about the effectiveness that the semiconductor device which can set up setup time and a hold time independently is obtained.

[0045] According to this invention claim 5, it is **** about the effectiveness that the delay to the reference clock signal of the output signal of a PLL circuit is automatically controllable by CPU according to the period of a reference clock signal.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the semiconductor device in the background of the gestalt of desirable operation of this invention.

[Drawing 2] It is the circuit diagram showing the configuration inside delay circuit 11a.

[Drawing 3] It is the block diagram showing an example of the semiconductor device in the gestalt 1 of operation of this invention.

[Drawing 4] It is the circuit diagram showing the configuration inside voltage controlled oscillator 8'.

[Drawing 5] It is the timing-chart Fig. showing the signal of the output of control-section 8a connected in the shape of [in drawing 4] a ring.

[Drawing 6] It is the block diagram showing other examples of the semiconductor device in the gestalt 1 of operation of this invention.

[Drawing 7] It is the block diagram showing the semiconductor device in the gestalt 2 of operation of this invention.

[Drawing 8] It is the circuit diagram showing the configuration inside voltage controlled oscillator 8."

[Drawing 9] It is the block diagram showing the interior of LSI which has a PLL circuit in the gestalt 2 of operation of this invention.

[Drawing 10] It is the block diagram showing the conventional semiconductor device.

[Drawing 11] It is the circuit diagram showing the configuration inside a voltage controlled oscillator 8.

[Drawing 12] It is the circuit diagram showing the configuration inside a delay circuit 11.

[Drawing 13] It is the timing-chart Fig. showing the relation between the signal in an input terminal 1, and the signal in an output terminal 2.

[Drawing 14] It is the block diagram showing the interior of LSI which has a PLL circuit by this invention.

[Drawing 15] It is drawing explaining setup time and a hold time.

[Description of Notations]

6 A phase comparator, 7 A loop filter, 8, 8', 8'' An armature-voltage control transmitter, 8b Inversed amplifier, 8a A control section, 9 A decoder, 11 A delay circuit, Dn (n= 1, 2, ..., 13) A delay circuit block, INV Inverter, SW 26 A switch, 27 Register.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-70441

(43)公開日 平成10年(1998)3月10日

(51)Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 K 3/03			H 0 3 K 3/03	
H 0 3 H 7/30			H 0 3 H 7/30	B
H 0 3 K 3/354			H 0 3 K 3/354	B
5/14			5/14	
H 0 3 L 7/08			H 0 3 L 7/08	G

審査請求 未請求 請求項の数5 OL (全 10 頁) 最終頁に続く

(21)出願番号 特願平8-225175

(22)出願日 平成8年(1996)8月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72)発明者 山中 唯生

東京都千代田区大手町二丁目6番2号 三

菱電機エンジニアリング株式会社内

(72)発明者 中川 伸一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

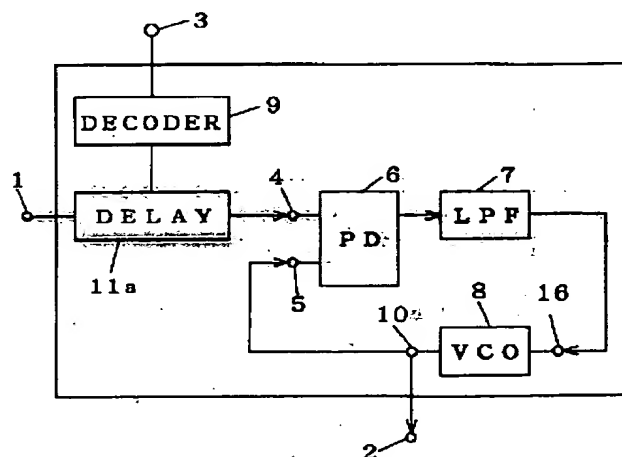
(74)代理人 弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 システムに搭載後において、PLL回路の出力信号の外部クロック信号に対する遅延時間を変更することができる半導体装置を得る。

【解決手段】 外部クロック信号を入力端子1に入力する。アドレス値を入力端子3に入力する。デコーダ9はアドレス値に応じて、電圧制御発振器8内の複数の遅延時間のうちの1つを選択する。出力端子2に出力される信号の位相は入力端子1における外部クロック信号よりも選択された遅延時間だけ遅れている。従って、システムに搭載後において、PLL回路の出力信号の外部クロック信号に対する遅延時間を変更することができるという効果を奏す。



(2)

【特許請求の範囲】

【請求項1】 基準クロック信号に対してそれぞれ遅延時間が異なる複数の遅延信号を生成する遅延信号生成手段と、

前記複数の遅延信号のうちの1つを選択するために用いられる制御信号を入力する制御端子と、

前記制御端子からの前記制御信号を受けて、前記制御信号に基づいて、前記複数の遅延信号のうちの1つを選択する遅延信号選択手段と、

前記遅延信号選択手段が選択した前記遅延信号に基づいて、前記基準クロック信号に対して当該選択した前記遅延信号の前記遅延時間の分だけ位相が異なるクロック信号を出力するPLL回路と、を備えた半導体装置。

【請求項2】 前記PLL回路は、ループ状に接続された複数の反転増幅器を含む電圧制御発信器を含み、

前記遅延信号生成手段は、前記電圧制御発信器であり、前記複数の遅延信号は、それぞれ前記複数の反転増幅器の出力信号である請求項1記載の半導体装置。

【請求項3】 前記遅延信号選択手段は複数であり、前記PLL回路は、前記複数の遅延信号選択手段がそれぞれ選択した複数の前記遅延信号に基づいて、前記選択した複数の遅延信号に対応する複数の前記クロック信号を出力する請求項2記載の半導体装置。

【請求項4】 前記複数のクロック信号のうち、1つの前記クロック信号を受け、このクロック信号に応じて外部で生成されたデータを取り込む第1のラッチ回路と、前記複数のクロック信号のうち、他の1つの前記クロック信号を受け、このクロック信号に応じて内部で生成されたデータを出力する第2のラッチ回路と、をさらに備えた請求項3記載の半導体装置。

【請求項5】 前記基準クロック信号の周期に応じて、前記制御信号を生成して、前記制御端子へ出力するCPUをさらに備えた請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、PLL回路を有する半導体装置に関し、特にPLL回路の出力信号の遅延時間を制御することが必要な半導体装置に関する。

【0002】

【従来の技術】LSIのデータの入力のセットアップタイム、データの出力のホールドタイムのマージンの拡大のために、LSIの外部から入力されるクロック信号（外部クロック信号）に対する内部のクロック信号（内部クロック信号）の位相調整が行われる。なお、セットアップタイムとは、図15に示すように、外部データに関しては、外部データを用意してからその外部データを内部へ取り込む時点（図15では内部クロック信号の立上りエッジ）までの時間 t_{set} である。また、内部データに関しては、内部データを用意してからその内部データ

2

を外部へ出力する時点（図15では内部クロック信号の立上りエッジ）までの時間 t_{set} である。ホールドタイムとは、図15に示すように、外部データに関しては、外部データを内部へ取り込む時点の後も用意し続けておく時間 t_{hold} である。内部データに関しては、内部データを外部へ出力する時点の後も用意し続けておく時間 t_{hold} である。内部クロック信号の調整は位相同期回路（PLL回路）が適している。

【0003】図10は従来の半導体装置を示すブロック図である。図10において、1は周期CLの外部クロック信号を入力するための入力端子、2は内部クロック信号を出力する出力端子、6は位相比較器、7は位相比較器6の出力をフィルタリングするためのループフィルタ、8は電圧制御発信器、11は遅延回路、4は遅延回路11からの信号を入力するための、位相比較器6の一方の入力端子、5は電圧制御発信器8からの信号を入力するための、位相比較器6の他方の入力端子、10は電圧制御発信器8の出力端子、16は電圧制御発信器8の入力端子である。

【0004】次に図10に示す半導体装置の構成について説明する。遅延回路11の入力は入力端子1に接続され、出力は入力端子4に接続されている。位相比較器6の出力はループフィルタ7の入力に接続されている。ループフィルタ7の出力は入力端子16に接続されている。出力端子10は出力端子2及び入力端子5に接続されている。位相比較器6、ループフィルタ7及び電圧制御発信器8はPLL回路を構成する。

【0005】図11は電圧制御発信器8の内部の構成を示す回路図である。図11において、8bは反転増幅器、8aは反転増幅器8bを入力端子16における信号に応じて制御する制御部、INVはインバータ、その他の符号は図10中の符号に対応している。次に電圧制御発信器8の構成について説明する。複数の反転増幅器8bはループ状に接続され、リングオシレータを構成している。複数の反転増幅器8bのうち、1つの反転増幅器8bの出力はインバータINVを介して出力端子10に接続されている。制御部8aの入力は入力端子16に接続され、出力は各反転増幅器8bに接続されている。

【0006】図12は遅延回路11の内部の構成の一例を示す回路図である。図12において、INVはインバータ、Rは抵抗、Cは容量、その他の符号は図10中の符号に対応している。図12の他にも、インバータの入力・出力間の遅延を利用する、インバータを多段接続した遅延回路が用いられていることもある。

【0007】次に、図10に示す半導体装置の動作について説明する。図13は入力端子1における外部クロック信号と出力端子2における内部クロック信号との関係を示すタイミングチャート図である。PLL回路は、入力端子4における信号の位相と出力端子2における内部

50

(3)

3

クロック信号の位相とが一致するように動作する。遅延回路11は入力端子1における外部クロック信号を受けて、外部クロック信号より遅延時間 t_d 遅れた信号を入力端子4に与える。従って、出力端子2における内部クロック信号は入力端子1における外部クロック信号よりも遅延時間 t_d だけ位相が遅れている。換言すると、見かけ上出力端子2における内部クロック信号は入力端子1における外部クロック信号よりも遅延時間 t_d 1(=外部クロック信号の周期-遅延時間 t_d 2)だけ位相が進んでいる。

【0008】

【発明が解決しようとする課題】従来のPLLを有する半導体装置は、以上のように構成されているため、以下のような問題点がある。

【0009】まず、必要な遅延時間が大きいほど、遅延時間を容量C及び抵抗Rを含む遅延回路11で実現する場合は容量Cや抵抗Rのレイアウト面積が大きくなり、インパタの遅延を利用する遅延回路で実現する場合はインパタINVの数が増加するため、レイアウト面積が大きくなるという問題点がある。

【0010】また、容量Cの容量値や抵抗Rの抵抗値等はプロセスの影響を受けるため、異なるプロセスによって遅延時間が変化したり、同じプロセスでも条件の違いにより仕上がり具合が異なり遅延時間が変化するという問題点がある。

【0011】また、例えば、図10に示す半導体装置を内蔵するLSIをボード等のシステムに搭載し、外部クロック信号はそのシステムから供給される場合を考える。遅延回路11は、外部クロック信号の周期を考慮して設計される。ここで、複数のシステムがあり、それらの外部クロック信号の周期が異なる場合、システム毎に遅延回路11の設計を行わなければならない。このように、外部クロック信号の周期に応じて遅延回路11の設計をしなければならないという問題点がある。

【0012】また、遅延時間が1つの固定値であるため、様々なセットアップタイムやホールドタイムに対応できない。例えば、図10に示すPLL回路は、LSIに内蔵されていて、LSI内部で生成された内部データを内部クロック信号と同期させて出力させ、LSI外部で生成された外部データを内部クロック信号と同期させて取り込む場合を考える。図15を参照して、遅延回路11における遅延時間を設計段階で設定することにより、内部クロック信号の遅延時間を変化させることで、時間 t_{hold} や時間 t_{set} を変化させることができる。しかし、内部クロックの遅延時間を変化させて、外部データの取り込みにおける時間 t_{hold} を長くすると、内部データの出力における時間 t_{set} が短くなる。逆に、外部データの取り込みにおける時間 t_{set} を長くすると、内部データの出力における時間 t_{hold} が短くなる。以上のように、セットアップタイムとホールドタイムはトレ

4

ドオフの関係である。従って、セットアップタイムあるいはホールドタイムの一方を変更すると、これに伴い、他方も変更されてしまう。このように、セットアップタイムとホールドタイムとは独立に調整することができないという問題点がある。

【0013】本発明は、これらの問題点を解決するためになされたものであり、システムに搭載後において、PLL回路が出力する内部クロック信号の外部クロック信号に対する遅延時間を変更することができ、さらにレイアウト面積の削減、プロセスによる遅延時間の変動の削減、セットアップタイム及びホールドタイムを独立に調整できる半導体装置を得ることを目的とする。

【0014】

【課題を解決するための手段】本発明の請求項1に係る課題解決手段は、基準クロック信号に対してそれぞれ遅延時間が異なる複数の遅延信号を生成する遅延信号生成手段と、前記複数の遅延信号のうちの1つを選択するために用いられる制御信号を入力する制御端子と、前記制御端子からの前記制御信号を受けて、前記制御信号に基づいて、前記複数の遅延信号のうちの1つを選択する遅延信号選択手段と、前記遅延信号選択手段が選択した前記遅延信号に基づいて、前記基準クロック信号に対して当該選択した前記遅延信号の前記遅延時間の分だけ位相が異なるクロック信号を出力するPLL回路とを備える。

【0015】本発明の請求項2に係る課題解決手段において、前記PLL回路は、ループ状に接続された複数の反転増幅器を含む電圧制御発信器を含み、前記遅延信号生成手段は、前記電圧制御発信器であり、前記複数の遅延信号は、それぞれ前記複数の反転増幅器の出力信号である。

【0016】本発明の請求項3に係る課題解決手段において、前記遅延信号選択手段は複数であり、前記PLLは、前記複数の遅延信号選択手段がそれぞれ選択した複数の前記遅延信号に基づいて、前記選択した複数の遅延信号に対応する複数の前記クロック信号を出力する。

【0017】本発明の請求項4に係る課題解決手段は、前記複数のクロック信号のうち、1つの前記クロック信号を受け、このクロック信号に応じて外部で生成されたデータを取り込む第1のラッチ回路と、前記複数のクロック信号のうち、他の1つの前記クロック信号を受け、このクロック信号に応じて内部で生成されたデータを出力する第2のラッチ回路とをさらに備える。

【0018】本発明の請求項5に係る課題解決手段は、前記基準クロック信号の周期に応じて、前記制御信号を生成して、前記制御端子へ出力するCPUをさらに備える。

【0019】

【発明の実施の形態】

好ましい実施の形態の背景、図1は好ましい実施の形態

(4)

5

の背景における半導体装置を示すブロック図である。図1において、1は周期CLの外部クロック信号（基準クロック信号）を入力するための入力端子、2は内部クロック信号を出力する出力端子、3は遅延時間を選択するための制御信号を入力するための入力端子（制御端子）、6は位相比較器、7は位相比較器6の出力をフィルタリングするためのループフィルタ、8は電圧制御発信器、9はデコーダ、11aは遅延回路（遅延信号生成手段）、4は遅延回路11aからの信号を入力するための、位相比較器6の一方の入力端子、5は電圧制御発信器8からの信号を入力するための、位相比較器6の他方の入力端子、10は電圧制御発信器8の出力端子、16は電圧制御発信器8の入力端子である。

【0020】次に図1に示す半導体装置の構成について説明する。デコーダ9の入力は入力端子3に接続されている。遅延回路11aの一方の入力は入力端子1に接続され、他方の入力はデコーダ9の出力に接続され、出力*

$$\text{遅延時間 } t_{d2} = \text{時間 } CLF \times (n-1) \div 13 + \text{時間 } CLF \cdots (1)$$

である。なお、時間CLFは固定長の時間であり、周期CLと同じであることが望ましい。例えば、遅延回路ブロックD1における遅延時間 t_{d2} は、時間CLFである。また、遅延回路ブロックD2における遅延時間 t_{d2} は、時間 $CLF/13 + \text{時間 } CLF$ である。

【0022】次に、図1に示す半導体装置の動作について説明する。外部クロック信号を入力端子1に入力する。デコーダ9は入力端子3におけるアドレス値を入力して、アドレス値に応じて“H”あるいは“L”レベルに設定された、複数のビットからなる制御信号を出力する。図2では制御信号のビットの数は13個必要である。その複数のビットは、それぞれ各遅延回路ブロックDn内のスイッチSWに割り当てられている。ビットが“H”あるいは“L”レベルによって、スイッチSWがオンあるいはオフする。即ち、入力端子3におけるアドレス値によって、複数のスイッチSWを独立にオンあるいはオフできる。複数の遅延回路ブロックの1つのスイッチSWがオンするような制御信号を入力端子3に入力する。遅延回路11aは、入力端子1における外部クロック信号よりも、スイッチSWがオンしている遅延回路ブロックが生成する遅延時間 t_{d2} だけ位相が遅れた遅延信号を出力する。PLL回路は入力端子4における信号と同じ位相の内部クロック信号を出力端子2に出力する。従って、出力端子2に出力される内部クロック信号の位相は入力端子1における外部クロック信号よりも時間 t_{d2} だけ遅れている。

【0023】例えば、出力端子2に出力される内部クロック信号の位相が入力端子1における外部クロック信号よりも時間 $CLF/13$ だけ遅らせたい場合は、遅延回路ブロックD2内のスイッチSWのみがオンするような制御信号を入力端子3に入力する。なお、遅延回路ブロックD1内のスイッチSWのみをオンさせた場合は、出

6

*は入力端子4に接続されている。位相比較器6の出力はループフィルタ7の入力に接続されている。ループフィルタ7の出力は入力端子16に接続されている。出力端子10は出力端子2及び入力端子5に接続されている。位相比較器6、ループフィルタ7及び電圧制御発信器8はPLL回路を構成する。スイッチSW及びデコーダ9より遅延信号選択手段を構成する。

【0021】図2は遅延回路11aの内部の構成を示す回路図である。図2において、Dn（ $n=1, 2, \dots, 13$ ）はそれぞれ遅延回路ブロック、INVはインバータ、Rは抵抗、Cは容量、SWはスイッチ、その他の符号は図1中の符号に対応している。遅延回路11aは13個の遅延回路ブロックからなる。各遅延回路ブロックD1～D13に含まれるスイッチSWのオン・オフはデコーダ9によって制御される。また、遅延回路ブロックDnにおける遅延時間 t_{d2} は、

力端子2に出力される内部クロック信号の位相と入力端子1における外部クロック信号の位相とは同じである。

【0024】図14は図1に示す半導体装置を内蔵するLSIの例を示すブロック図である。図14において、21、22はLSIの外部端子、23はBUS等のインターフェース部、24はレジスタ、25はCPU、BUはバッファ、PLLは図1に示す半導体装置、その他の符号は図1中の符号に対応している。外部端子22に与えられる制御信号はインターフェース部23を介してレジスタ24に記憶される。レジスタ24は記憶している制御信号を入力端子3に与える。外部端子21に与えられる外部クロック信号は入力端子1に与えられる。出力端子2に出力される内部クロック信号はバッファBUを介してLSI内部の各部に与えられる。図14に示すLSIをボード等のシステムに搭載し、外部端子22はCPU25等の出力に接続する。CPU25はプログラムにより、外部クロック信号の周期から、上記ホールドタイム、セットアップタイムが予め定められた値以上になるような制御信号を出力する。従って、LSIをシステムに搭載後も、CPU25がプログラムにより、外部クロック信号の周期に応じて、上述の遅延時間を変更するため、LSIをシステムに搭載後の遅延時間の調整が容易になる。なお、図14の他にもBUSを介さずに直接LSIの外部端子とレジスタ24とを接続しても良い。

【0025】上記構成によれば、入力端子1に制御信号を与えて、遅延回路11の遅延時間を変更することで、外部クロック信号の周期に応じて遅延回路11の設計をする必要がない。また、本実施の形態における半導体装置を内蔵したLSIをボード等のシステムに搭載後でも、上述の遅延時間を変更することができるため、このLSIを搭載したシステムは、幅広い外部クロック信号に対応できる。

(5)

7

【0026】実施の形態1. 好ましい実施の形態の背景において、遅延回路11aにおいて選択できる遅延時間は、時間 $CLF/13$ を単位として、固定値である。従って、外部クロックが多様な周期の場合に対応できないという問題点がある。このため、より多様な外部クロックの周期に対応させるためには、例えば、遅延回路ブロックを多数設ける必要がある。この場合、大きいレイアウト面積が必要となってしまう。以下に、上記問題を解決する半導体装置を説明する。

【0027】図3は本発明の実施の形態1における半導体装置を示すブロック図である。図3において、8'は図10の電圧制御発振器8に相当する電圧制御発信器、17は電圧制御発振器8'の入力端子、その他の符号は図1中の符号に対応している。

【0028】次に図3に示す半導体装置の構成について説明する。入力端子17はデコーダ9の出力に接続されている。入力端子4は入力端子1に接続されている。

【0029】図4は電圧制御発振器8'の内部の構成を示す回路図である。図4において、8bは反転増幅器、8aは反転増幅器を入力端子16における信号に応じて制御する制御部、SWはスイッチ、INVはインバータ、その他の符号は図3中の符号に対応している。次に電圧制御発振器8'の構成について説明する。複数の反転増幅器8bはループ状に接続され、リングオシレータを構成している。各反転増幅器8bの出力は各インバータINVの入力に接続されている。各インバータINVの出力は各スイッチSWの入力に接続されている。各スイッチSWの出力は1つのバッファを介して出力端子2に接続されている。制御部8aの入力は入力端子16に接続され、出力は複数の反転増幅器8bに接続されている。スイッチSW及びデコーダ9より遅延信号選択手段を構成する。

【0030】次に電圧制御発振器8'の動作について説明する。図5は図4における複数の反転増幅器8bに接続された各インバータINVの出力の信号を示すタイミングチャート図である。図5中のINV1は出力が出力端子10に接続されているインバータINVであり、図5中の他のINV2乃至INV13は、インバータINV1の後段側に順に設けられたインバータINVである。制御部8aは入力端子16の電圧に応じて各反転増幅器8bに供給される電流を制限する。これにより、各反転増幅器8bの入出力間の遅延時間が制御される。各反転増幅器8bの遅延時間は、外部クロック信号の周期を反転増幅器8bの数で割った値になる。INV1の出力の信号は、入力端子1における外部クロック信号と同じ位相の信号が生成される。入力端子17における制御信号により13個のスイッチSWのうち1つのスイッチSWがオンされる。従って、入力端子17における制御信号により、出力端子2から外部クロック信号より位相が周期 $CL/13$ の整数倍だけ遅れた内部クロック信号

8

が出力される。

【0031】オンするスイッチSWと外部クロック信号に対する内部クロック信号の位相と関係を以下に示す。INV1に接続されているスイッチをSW1、INV2に接続されているスイッチをSW2、…とする。SW1をオンすると、位相は同相である。SW2をオンすると、位相は周期 $CL \times 6/13$ 進む。SW3をオンすると、位相は周期 $CL/13$ 遅れる。SW4をオンすると、位相は周期 $CL \times 5/13$ 進む。SW5をオンすると、位相は周期 $CL \times 2/13$ 遅れる。SW6をオンすると、位相は周期 $CL \times 4/13$ 進む。SW7をオンすると、位相は周期 $CL \times 3/13$ 遅れる。SW8をオンすると、位相は周期 $CL \times 3/13$ 進む。SW9をオンすると、位相は周期 $CL \times 4/13$ 遅れる。SW10をオンすると、位相は周期 $CL \times 2/13$ 進む。SW11をオンすると、位相は周期 $CL \times 5/13$ 遅れる。SW12をオンすると、位相は周期 $CL/13$ 進む。SW13をオンすると、位相は周期 $CL \times 6/13$ 遅れる。

【0032】なお、図6に示すように、図3の出力端子2と出力端子10とを交換してもよい。また、図3に示す半導体装置を内蔵するLSIの例は図14と同様である。

【0033】本実施の形態では、好ましい実施の形態の背景の効果に加え、遅延時間を電圧制御発振器8'内で実現しているため、レイアウト面積の縮小化が図れる。また、この遅延時間は容量Cや抵抗Rによらないため、異なるプロセスによって遅延時間が変化したり、同じプロセスでも条件の違いにより仕上がり具合が異なったり遅延時間が変化するということがない。

【0034】また、遅延時間の単位は、入力される外部クロック信号の周期をリングオシレータを構成する反転増幅器の数で割った値である。従って、選択できる遅延時間が、その値を単位として、その単位から外部クロック信号の1周期まで設定することができる。従って、好ましい実施の形態の背景と異なり、様々な外部クロック信号の周期に対して対応できる。

【0035】実施の形態2. 図7は本発明の実施の形態2における半導体装置を示すブロック図である。図7において、8''は図3の電圧制御発振器8'に相当する電圧制御発信器、2'は出力端子、その他の符号は図3中の符号に対応している。

【0036】図8は電圧制御発振器8''の内部の構成を示す回路図である。図8において、SW'はスイッチ、INV'はインバータ、その他の符号は図4中の符号に対応している。次に電圧制御発振器8''の構成について説明する。各反転増幅器8bの出力は各インバータINV'の入力に接続されている。各インバータINV'の出力は各スイッチSW'の入力に接続されている。各スイッチSW'の出力は1つのバッファを介して出力端子2'に接続されている。また、デコーダ9が出力する制

(6)

9

御信号のビットの数は26である。その複数のビットは、それぞれ各遅延回路ブロックD_n内のスイッチSWに割り当てられている。その他の構成は図4中の構成と同様である。即ち、電圧制御発振器8”は電圧制御発振器8’のスイッチSW、インバータINV、出力端子2からなる回路部20と同様の回路部20’をさらに備えた構成である。スイッチSW、SW’及びデコーダ9より遅延信号選択手段を構成する。

【0037】次に電圧制御発振器8”の動作について説明する。回路部20’の動作は、回路部20の動作と同様である。入力端子3におけるアドレス値によって、複数のスイッチSW、SW’を独立にオンあるいはオフできる。従って、出力端子2及び出力端子2’におけるクロック信号の遅延を独立に制御できる。この2つのクロック信号を、それぞれデータ出力段ラッチ及びデータ入力段ラッチに供給することで、データのセットアップ、ホールドタイムを独立に調整することができる。

【0038】図9は図7に示す半導体装置を内蔵するLSIの例を示すブロック図である。図9において、26、27はレジスタ（ラッチ回路）、PLLは図7に示す半導体装置、その他の符号は、図7及び図14中の符号に対応している。出力端子2に出力される内部クロック信号はバッファBUを介してレジスタ26を含むLSI内部の各部に与えられる。出力端子2’に出力される内部クロック信号はバッファBUを介してレジスタ27を含むLSI内部の各部に与えられる。レジスタ26は、LSI内部で生成された内部データを出力端子2からの内部クロック信号と同期させて出力する出力段ラッチである。レジスタ27は、LSI外部で生成された外部データを出力端子2’からの内部クロック信号と同期させて取り込む入力段ラッチである。

【0039】まず、図9に示すレジスタ26及びレジスタ27の動作について説明する。レジスタ26は出力端子2からの内部クロック信号のエッジのタイミングで、LSI内部で生成した内部データを外部へ出力する。従って、制御信号により、外部クロック信号に対する出力端子2の内部クロック信号の遅延時間を制御することで、外部クロック信号と内部データにおけるホールドタイムを調整することができる。レジスタ27は出力端子2’からの内部クロック信号のエッジのタイミングで、LSI外部で生成した外部データを内部に取り込む。従って、制御信号により、外部クロック信号に対する出力端子2’の内部クロック信号の遅延時間を制御することで、内部クロック信号と外部データにおけるセットアップタイムを調整することができる。

【0040】本実施の形態では、実施の形態1の効果に加え、遅延時間を独立に制御できる複数の内部クロック信号を出力することで、ホールドタイムやセットアップタイムの調整が容易になるという効果がある。

【0041】

10

【発明の効果】本発明請求項1によると、遅延を選択するため制御信号を受ける制御端子を設けたことにより、システムに搭載後において、PLL回路の出力信号の基準クロック信号に対する遅延を変更することができるという効果を奏す。

【0042】本発明請求項2によると、PLL回路に含まれる電圧制御発信器内の各反転増幅器の出力を遅延信号として用いることで、遅延信号を生成する手段を別途設ける必要ないため、レイアウト面積の縮小が図れ、さらに、異なるプロセスによって遅延が変化することがないという効果を奏す。

【0043】本発明請求項3によると、基準クロック信号に対する遅延が変更できるクロック信号が複数必要な半導体装置や当該半導体装置を搭載するシステムに対応できるという効果を奏す。

【0044】本発明請求項4によると、セットアップタイム及びホールドタイムを独立に設定できる半導体装置が得られるという効果を奏す。

【0045】本発明請求項5によると、CPUにより基準クロック信号の周期に応じて自動的にPLL回路の出力信号の基準クロック信号に対する遅延を制御できるという効果を奏す。

【図面の簡単な説明】

【図1】 本発明の好ましい実施の形態の背景における半導体装置を示すブロック図である。

【図2】 遅延回路11aの内部の構成を示す回路図である。

【図3】 本発明の実施の形態1における半導体装置の一例を示すブロック図である。

【図4】 電圧制御発振器8’の内部の構成を示す回路図である。

【図5】 図4におけるリング状に接続された制御部8aの出力の信号を示すタイミングチャート図である。

【図6】 本発明の実施の形態1における半導体装置の他の例を示すブロック図である。

【図7】 本発明の実施の形態2における半導体装置を示すブロック図である。

【図8】 電圧制御発振器8”の内部の構成を示す回路図である。

【図9】 本発明の実施の形態2におけるPLL回路を有するLSI内部を示すブロック図である。

【図10】 従来の半導体装置を示すブロック図である。

【図11】 電圧制御発振器8の内部の構成を示す回路図である。

【図12】 遅延回路11の内部の構成を示す回路図である。

【図13】 入力端子1における信号と出力端子2における信号との関係を示すタイミングチャート図である。

【図14】 本発明によるPLL回路を有するLSI内

(7)

11

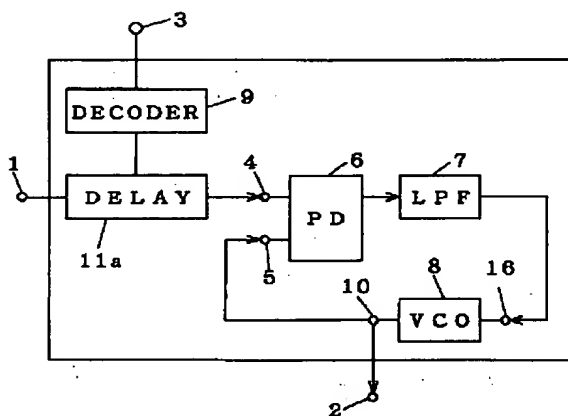
部を示すブロック図である。

【図15】 セットアップタイム及びホールドタイムを説明する図である。

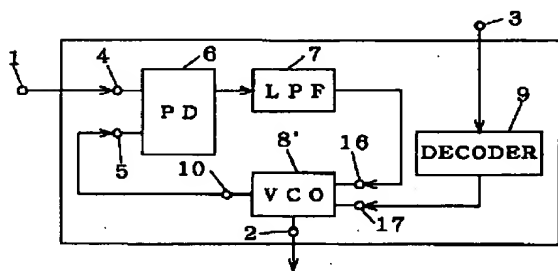
【符号の説明】

6 位相比較器、7 ループフィルタ、8, 8', 8''

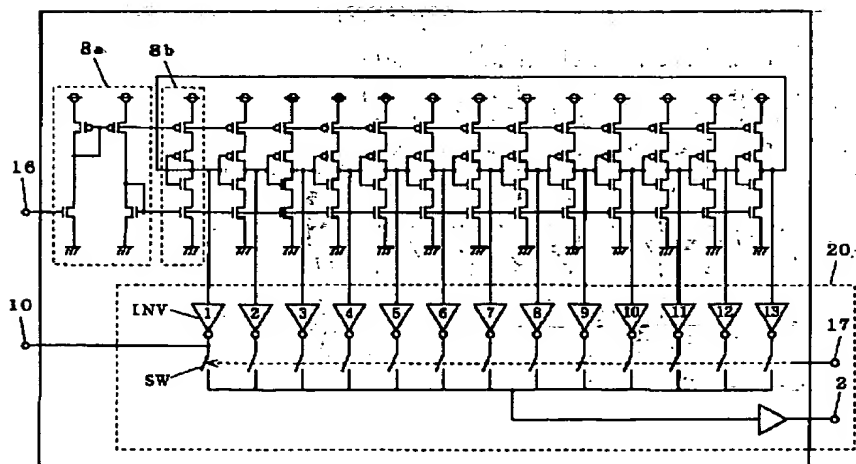
【図1】



【図3】



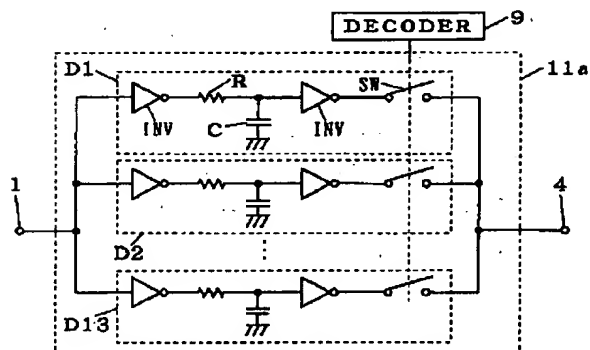
【図4】



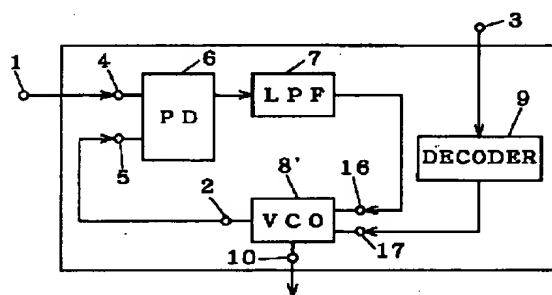
12

電圧制御発信器、8b 反転増幅器、8a 制御部、
9 デコーダ、11 遅延回路、Dn (n=1, 2, ..., 13) 遅延回路ブロック、INV インバータ、
SW スイッチ、26, 27 レジスタ。

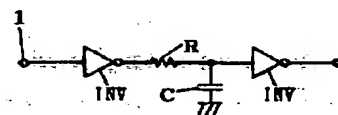
【図2】



【図6】

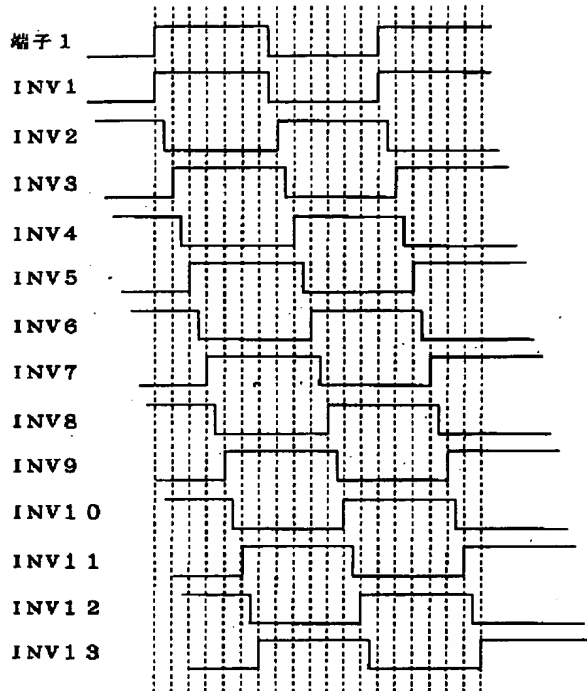


【図12】

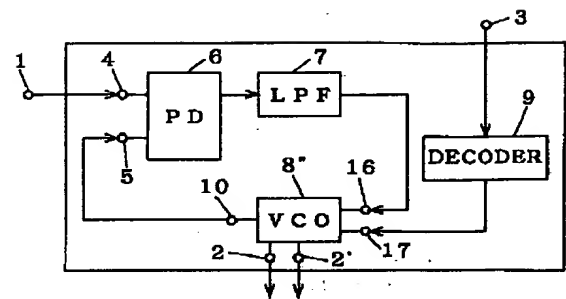


(8)

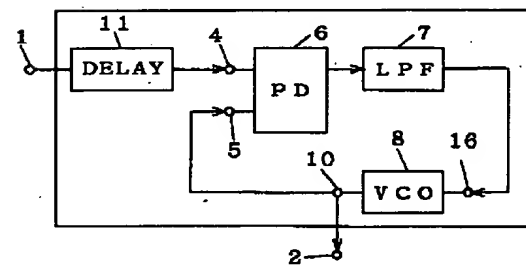
【図5】



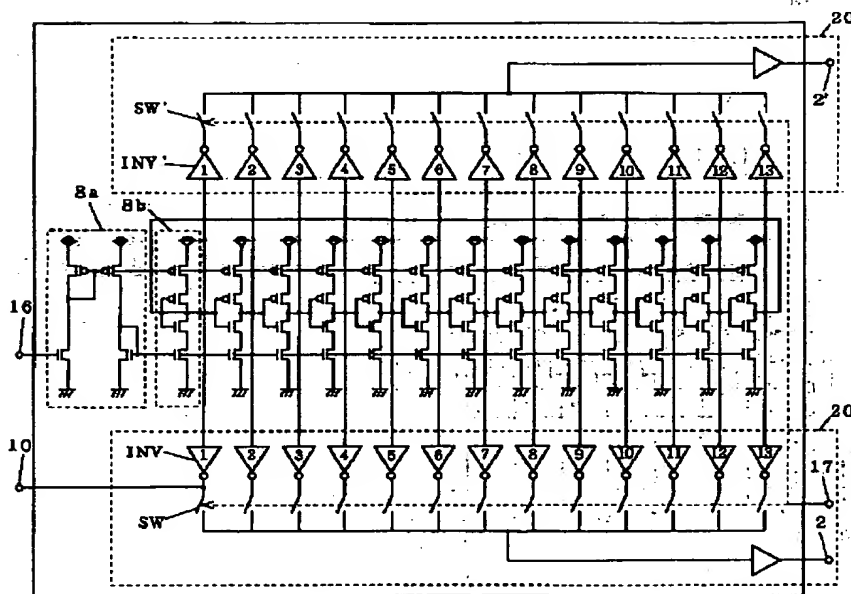
【図7】



【図10】

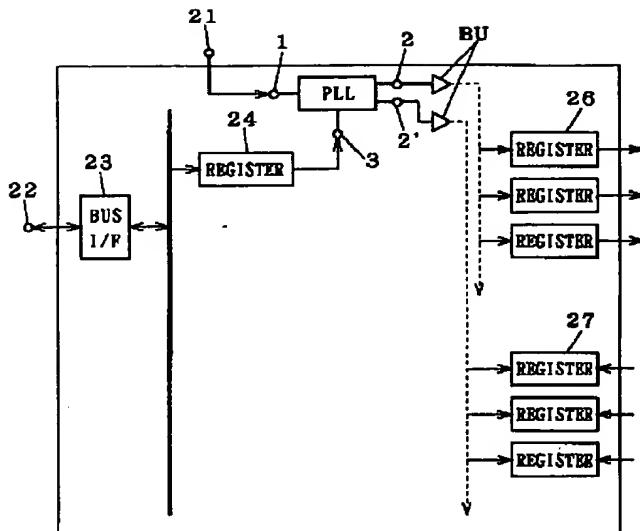


【図8】



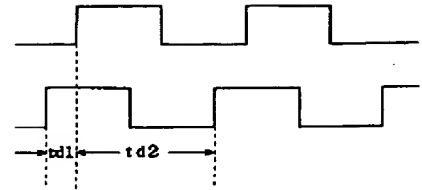
(9)

【図9】



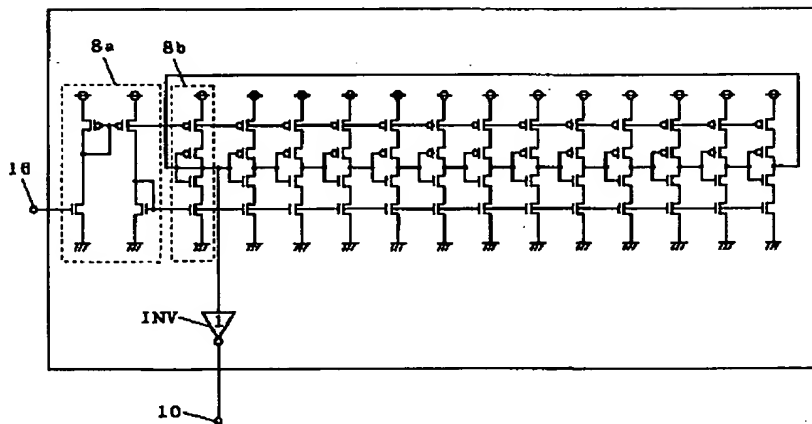
【図 13】

人力蠟子 1

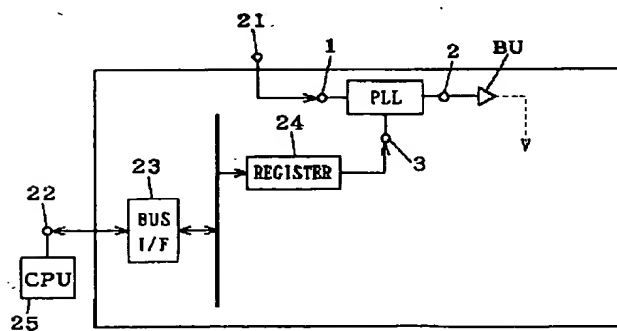


出力端子 2

【図 1 1】



【图 1.4】.

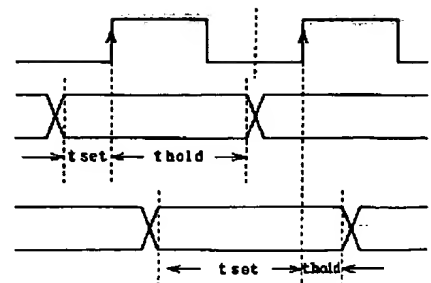


【圖 15】

内部クロック

外部データ

内部データ



(10)

フロントページの続き

(51) Int. Cl. 6

H 0 3 L 7/099

識別記号

庁内整理番号

F I

H 0 3 L 7/08

技術表示箇所

F

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成15年2月14日(2003.2.14)

【公開番号】特開平10-70441
【公開日】平成10年3月10日(1998.3.10)
【年通号数】公開特許公報10-705
【出願番号】特願平8-225175
【国際特許分類第7版】

H03K 3/03
H03H 7/30
H03K 3/354
5/14
H03L 7/08
7/099

【FI】

H03K 3/03
H03H 7/30 B
H03K 3/354 B
5/14
H03L 7/08 G
F

【手続補正書】

【提出日】平成14年11月6日(2002.11.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 各々が基準クロック信号に対して異なる遅延時間を有する遅延信号を生成する複数の反転増幅器を備えた電圧制御発振器と、
前記遅延信号のうちの一つを選択するために前記電圧制御発振器へ制御信号を送信するデコードと、
前記基準クロック信号の周期に応じた前記遅延信号のうちの一つを示すアドレス値を生成し、前記アドレス値を前記デコードに出力するCPUと、
前記選択に応じて位相がシフトされた第1の位相遅延クロック信号を出力する第1出力端子とを備え、
前記反転増幅器のそれぞれにより生成された遅延信号は、反転増幅器の数に相当する値で割られた基準クロック信号の周期に対応する、半導体装置。

【請求項2】 請求項1記載の半導体装置であって、
前記電圧制御発振器は、
電圧を受ける入力端子と、
前記入力端子における前記電圧に応じ各反転増幅器に供給された電流を制御する制御部をさらに備える、半導体

装置。

【請求項3】 請求項1記載の半導体装置であって、
位相検波器とループフィルタをさらに備え、
前記位相検波器、前記ループフィルタ及び前記電圧制御発振器が位相同期ループ回路を形成する、半導体装置。

【請求項4】 請求項1記載の半導体装置であって、
前記電圧制御発振器は第1の複数のスイッチをさらに備え、前記第1のスイッチのおおのが各反転増幅器に連動し、第1のスイッチのオン時に前記第1出力端子に伝達されている各反転増幅器の遅延信号をもたらす、半導体装置。

【請求項5】 請求項4記載の半導体装置であって、
前記電圧制御発振器は、第1の複数のインバータをさらに備え、各インバータは各反転増幅器の出力と前記連動した第1のスイッチ間で接続される、半導体装置。

【請求項6】 請求項4記載の半導体装置であって、
位相がシフトされた第2の位相シフト遅延クロック信号を出力する第2出力端子をさらに備えた、半導体装置。

【請求項7】 請求項6記載の半導体装置であって、
前記第2の位相シフト遅延クロック信号は前記第1の位相シフト遅延クロック信号とは異なる、半導体装置。

【請求項8】 請求項6記載の半導体装置であって、
前記電圧制御発振器は、第2の複数のスイッチをさらに備え、第2のスイッチのおおのが各反転増幅器に連動し、前記第2のスイッチのオン時に前記第2出力端子に伝達されている各反転増幅器の遅延信号をもたらす、半

(2)

導体装置。

【請求項 9】 請求項 6 記載の半導体装置であって、前記電圧制御発振器は、第 2 の複数のインバータをさらに備え、各インバータは各反転増幅器の出力とそれの連動した第 2 のスイッチ間で接続される、半導体装置。

【請求項 10】 請求項 6 記載の半導体装置であって、前記第 1 の位相シフト遅延クロック信号を受け、この信号に応じて外部で生成されたデータを取り込む第 1 のラッチと、

前記第 2 の位相シフト遅延クロック信号を受け、この信号に応じて内部で生成されたデータを取り込む第 2 のラッチと、をさらに備えた半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】この発明に係る請求項 1 記載の半導体装置は、各々が基準クロック信号に対して異なる遅延時間を有する遅延信号を生成する複数の反転増幅器を備えた電圧制御発振器と、前記遅延信号のうちの一つを選択するために前記電圧制御発振器へ制御信号を送信するデコーダと、前記基準クロック信号の周期に応じた前記遅延信号のうちの一つを示すアドレス値を生成し、前記アドレス値を前記デコーダに出力する CPU と、前記選択に応じて位相がシフトされた第 1 の位相遅延クロック信号を出力する第 1 出力端子とを備え、前記反転増幅器のそれぞれにより生成された遅延信号は、反転増幅器の数に相当する値で割られた基準クロック信号の周期に対応する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項 2 の発明は、請求項 1 記載の半導体装置であって、前記電圧制御発振器は、電圧を受ける入力端子と、前記入力端子における前記電圧に応じ各反転増幅器に供給された電流を制御する制御部をさらに備えている。請求項 3 記載の半導体装置は、請求項 1 記載の半導体装置であって、位相検波器とループフィルタをさらに備え、前記位相検波器、前記ループフィルタ及び前記電圧制御発振器が位相同期ループ回路を形成する。請求項 4 の発明は、請求項 1 記載の半導体装置であって、前記電圧制御発振器は第 1 の複数のスイッチをさらに備え、前記第 1 のスイッチのおおのが各反転増幅器に連動し、第 1 のスイッチのオン時に前記第 1 出力端子に伝達されている各反転増幅器の遅延信号をもたらす。

【手続補正 4】

2

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】請求項 5 の発明は、請求項 4 記載の半導体装置であって、前記電圧制御発振器は、第 1 の複数のインバータをさらに備え、各インバータは各反転増幅器の出力と前記連動した第 1 のスイッチ間で接続される。請求項 6 の発明は、請求項 4 記載の半導体装置であって、位相がシフトされた第 2 の位相シフト遅延クロック信号を出力する第 2 出力端子をさらに備える。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】請求項 7 の発明は、請求項 6 記載の半導体装置であって、前記第 2 の位相シフト遅延クロック信号は前記第 1 の位相シフト遅延クロック信号とは異なる。請求項 8 の発明は、請求項 6 記載の半導体装置であって、前記電圧制御発振器は、第 2 の複数のスイッチをさらに備え、第 2 のスイッチのおおのが各反転増幅器に連動し、前記第 2 のスイッチのオン時に前記第 2 出力端子に伝達されている各反転増幅器の遅延信号をもたらす。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項 9 の発明は、請求項 6 記載の半導体装置であって、前記電圧制御発振器は、第 2 の複数のインバータをさらに備え、各インバータは各反転増幅器の出力とそれの連動した第 2 のスイッチ間で接続される。請求項 10 の発明は、請求項 6 記載の半導体装置であって、前記第 1 の位相シフト遅延クロック信号を受け、この信号に応じて外部で生成されたデータを取り込む第 1 のラッチと、前記第 2 の位相シフト遅延クロック信号を受け、この信号に応じて内部で生成されたデータを取り込む第 2 のラッチとをさらに備える。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】

【発明の効果】この発明における請求項 1 記載の本願発明は、デコーダから電圧制御発振器へ送信される制御信号によって、複数の反転増幅器からそれぞれ出力される遅延信号のうちの一つが第 1 の位相シフト遅延クロック

(3)

3

信号として選択されることにより、基準クロック信号に対する遅延を変更することができるという効果を奏す。加えて、上記第1の位相シフト遅延クロック信号を、電圧制御発信器内の各反転増幅器の出力を遅延信号として用いることで、遅延信号を生成する手段を別途設ける必要ないため、レイアウト面積の縮小が図れ、さらに、異なるプロセスによって遅延が変化することがないという効果を奏す。また、CPUにより基準クロック信号の周期に応じて自動的にアドレス値を変更するようにすれば、基準クロック信号に対する遅延を自動制御できるという効果を奏す。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】削除

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

4

【補正内容】

【0043】請求項6記載の本願発明は、基準クロック信号に対する遅延が変更できる位相シフト遅延クロック信号が少なくとも2つ必要な半導体装置や当該半導体装置を搭載するシステムに対応できるという効果を奏す。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】請求項10記載の本願発明は、第1及び第2のラッチを有することにより、セットアップタイム及びホールドタイムを独立に設定できる半導体装置が得られるという効果を奏す。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】削除

10